

⑨日本国特許庁
公開特許公報

⑩特許出願公開
昭54—12286

⑪Int. Cl.²
H 01 L 31/02
H 01 L 21/58

識別記号

⑫日本分類
99(5) J 40
99(5) C 1

庁内整理番号
6655—5F
7357—5F

⑬公開 昭和54年(1979)1月29日

発明の数 1
審査請求 未請求

(全 7 頁)

⑭半導体装置

東京芝浦電気株式会社総合研究
所内

⑮特 願 昭52—77357

⑯出 願 人 東京芝浦電気株式会社

⑰出 願 昭52(1977)6月28日

川崎市幸区堀川町72番地

⑱発 明 者 寺嶋一高

⑲代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区小向東芝町1番地

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 半導体素子の接続端子に、絶縁板上に配設された金属電極を付着させ、この金属電極を介して前記半導体素子の配線を行うようにした電極構造を具備したことを特徴とする半導体装置。

(2) 上記半導体素子は、半導体基板上に形成された複数の素子からなるアレイ構造のものである特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

本発明は、特に半導体光検出器に適した電極構造の半導体装置に関する。

半導体光検出器等の半導体素子の電極配線は、従来よりワイヤーボンディングや蒸着配線等により行っている。ワイヤーボンディングは、第1図に示すように半導体基板1に成長させたエピタキシャル層2にリード線3を圧着固定する

ものである。そして他方の電極は基板1の底面に金属層4を蒸着する等して形成している。なお図中5は放熱板である。しかしながら、このようなワイヤーボンディングでは前記エピタキシャル層2を破損しやすく、素子の特性に大きな劣化を与えやすいという問題がある。また蒸着配線では第2図に示すように半導体基板1上に形成したエピタキシャル層2以外の領域を、例えばSiO₂の絶縁膜6で被覆する。そして図中7に示すように前記絶縁膜4の上から適当な配線金属を蒸着している。しかし、このような蒸着配線では、前記絶縁膜6の蒸着時には基板1を例えば350℃に高温加熱する必要がある。この高温加熱は基板1上に形成された半導体素子に悪影響を与えるもので、例えば半導体光検出器にあつては、その特性を著しく劣化させた。この為、均一な特性の半導体素子を作ることが難しく、特にアレイ構造の半導体では、個々の素子特性にばらつきが生じた。

本発明はこのような事情を考慮してなされた

もので、その目的とするところは、特にアレイ構造の半導体素子に適し、半導体素子の破損や、特性の劣化を招くことのない簡易な電極構造の半導体装置を提供することにある。

本発明の要旨とするところは、半導体基板に形成された半導体素子とは独立に、絶縁板上に例えば蒸着によつて金属電極を形成せしめ、この金属電極を前記半導体素子の入出力端子（電極）に付着させ、上記金属電極を半導体素子の電極とした構造の半導体装置にある。

しかして、半導体素子自体を高温加熱することがなく、つまり特性の劣化を招くことがなく、しかも簡易な電極構造で均一な特性の半導体装置を得ることができる。

以下本発明の詳細を PbTe 、 $\text{Pb}_{1-x}\text{Sn}_x\text{Te}$ を用いた赤外線光検出器の実施例に基づいて、図面を参照して説明する。

第3図は同実施例の概略を示す断面図であり、第4図は外観斜視図である。図中11はP型の PbTe の単結晶半導体基板である。この基板11

3

の例えばCuが蒸着されている。そして、この金属電極16はIn等からなる接層層17を介して前記接続端子13に付着されている。上記接層層17は前記接続端子13、つまりn型の $\text{Pb}_{1-x}\text{Sn}_x\text{Te}$ と良好なるオーミック接触を示すものであり、ここではInを用いている。

かくして、このように構成された半導体装置は、その外観を第4図に示す如き形状をなし、電極配線は絶縁板14に配設された金属電極を介してなされる。またこのとき、前記金属膜12の配線は、図中18に示すようにリード線を用いたワイヤボンディングによつて行い。

このような構造の半導体装置によれば、前記各層の蒸着形成は高々150℃程度の加熱で良好に達成することができる。しかも各部の接触は良好なオーミック接触であり、半導体素子の特性に悪影響を及ぼすことがない。従つて高温による半導体素子の特性劣化や、電極配線による素子の破損を招く虞れが殆んどない。その上上記したように非常に簡単な電極構造であり、

5

の上面（裏面）には光入射部を残して金属膜12が蒸着されている。この金属膜12は半導体基板11とオーミック接触を呈するもので、後述する半導体素子（光検出素子）の一方の電極をなすものである。また前記半導体基板11の下面（表面）にはn型の $\text{Pb}_{1-x}\text{Sn}_x\text{Te}$ （但しxはSnのPbに対するモル比である）からなる接続端子13が液相成長により形成されている。このエピタキシャル層からなる接続端子13と前記半導体基板11（P層）とによつて光検出素子（ダイオード）を形成している。またこのような光検出素子を形成した半導体基板11の前記光入射部に対向しない部位はエッチング等によつて削切されている。この削切によつて一つの半導体基板11上に複数のメサ型の光検出器が形成され、アレイ構造となつている。

一方、サファイヤ等の絶縁板14上の前記接続端子13との対向部位にはTi又はCrからなる金属層15が蒸着されている。この金属層15上に、更に配線材、つまり金属電極16と

4

その製造も容易である。特にアレイ型半導体素子においては、個々の素子特性を極めて均一に保つことができる利点がある。また従来の手段に比して、個々の半導体素子の電極配線を一度に同時に行うこともでき、製造工程の簡略化をはかることもできる。

次に上記半導体装置の製造工程の一例を第5図を参照して説明する。

(a)に示す如きP型の PbTe の単結晶基板11の一表面に同図(b)に示すようにn型の $\text{Pb}_{1-x}\text{Sn}_x\text{Te}$ の接続端子13（エピタキシャル層）を例えば5μmの厚さに液相成長させる。次に同図(c)に示すように、前記基板11の裏面にオーミック接触の良好な金属層12を、例えばAuを1μmの厚さに蒸着形成する。しかるのち、光入射部となる領域の前記Auを同図(d)に示すように除去する。このAuの除去は例えばホットエンブレッシングによつて行われる。次に前記光入射部に対向する前記接続端子13を残して同図(e)に示すようにメサエッチングを行う。かくして同図(d)に

6

示すような光検出器（アレイ構造）が形成される。

一方、同図(g)に示す、例えばサファイヤ基板14上に、Ti又はCrを1 μ m蒸着形成し、更にその上にCuを5 μ m蒸着形成する。なお、上記TiまたはCrは、先に説明したようにCuからなる金属層16とサファイヤ基板14との結合力、つまり付着力を強めるものである。この状態を同図(h)に示す。しかるのち、蒸着によつて同図(i)に示すように接層層17を例えばInを5 μ m厚に形成する。このInは先に述べたようにPb_{1-x}Sn_xTeに対して極めて良好なオーミック接触を示すものである。そして、上記の如く形成された配線基板を、同図(j)に示すように前記半導体素子に対応した配線パターンにエッチング形成する。このエッチング形成した配線パターンの例を同図(k)に示す。かくしてここに前記半導体素子と対をなす配線基板が形成される。

同図(l)は先に形成した半導体素子(e)と配線基板(j)とを対向させたもので、これらを同図(m)に

7

てP型のPbTeを用いた。このPbTeはPb_{1-x}Sn_xTeよりエネルギーギャップが大きいもので、窓効果がある。従つて、基板11としてのPbTe側より光の入射を行うように構成した。しかしながら基板11としてP型のInSbを用い、Teをドーピングしてエピタキシャル層を形成して半導体光検出器を形成すると、上記エピタキシャル層に窓効果が生じる。

次にInSbとTeを用いた半導体光検出器について第6図を参照して説明する。図中21はP型のInSbからなる基板である。そして先の実施例と同様に半導体基板21の一面にAu等のオーミック接触の良好な金属電極22を蒸着形成する。また他方の面にはTeをドーピングしてエピタキシャル層23を形成する。このエピタキシャル層23と基板21とによつて光検出器（ダイオード）が形成される。また光検出器はメサ型エッチングされ、アレイ構造となつている。

一方、絶縁基板14上には、先の実施例と同様にCrまたはTi層、Cuからなる金属電極16

9

特開昭54-12286(3)

示すように付着させる。この付着は例えばH₂ガス雰囲気中で150℃の加熱によつて進められる。この場合、実験においては略15分間の加熱処理によつて行つた。この熱処理によつて前記Inとn層とはオーミック接触よく付着する。最後に金属層12と金属電極16とをアースとしてリード線18によつてワイヤーボンディングする。かくして同図(n)に示す如き形状の半導体装置を得ることができる。

なお上記製造工程は適宜順序を入れ変えることができるものである。例えば、金属層12の形成と接触端子13の形成を逆の順序で行つてもよい。また金属層16に蒸着した接層層17(In)を接触端子13(エピタキシャル層)に蒸着するようにしてもよい。更に必要に応じてはTiまたはCrを省略してもよい。そしてまた、パターニング等のエッチング処理工程の代りに、レジストを用いて予め定められた領域にのみ金属電極16等を蒸着形成するようにしてもよい。

ところで上記実施例では半導体基板11とし

8

及びInからなる接層層17が順次蒸着形成されている。そして、この絶縁基板14の前記メサ型のエピタキシャル層23に対向する部位には、前記層15、16、17に連通する透孔24が設けられている。この透孔24の径は、前記エピタキシャル層23の形状に比して小さいもので、エピタキシャル層23への光の入射口をなしている。また、前記金属電極16は、その外周部を接層層17を介して前記エピタキシャル層23に付着している。この付着は、前記実施例と同様に150℃で15分間の加熱によつて行われる。かくして第6図に示すように絶縁基板14側に光入射部（透孔24）を設けた半導体装置を得ることができる。

このような構造を有する半導体装置は、先の実施例に示す半導体装置と光の照射面が異なるのみで、同様な効果を有するものである。

またInSbとTeを用いた半導体検出器を次のように構成することもできる。

即ち、例えば厚さ30 μ mのInSb基板31の一

10

面をドーパしてエピタキシャル層32を形成する。他方の面にはAuを蒸着して金属電極33を形成する。そして、この金属電極33側から基板31をメサ型エッチングする。このエッチングは、前記基板より厚い層だけ行い、複数の光検出器を形成してアレイ構造とする。また、これらの光検出器に対向する部位を残して、前記エピタキシャル層32にAu等を蒸着して金属電極34とする。そして、前記金属電極33に先に説明した各実施例と同様な構造を有する絶縁基板14、つまり配線基板を付着させ、半導体装置を得る。かくしてこの半導体装置の光の入射面はエピタキシャル層32側となり、図中上方から光が照射されるようになる。

このように構成された半導体装置においても、先に述べた半導体装置と同様な効果・利点を有することは明らかである。

このように本発明に係る半導体装置の効果・利点は格別なものであり、以下に列記する。

1) 半導体素子のエピタキシャル層にワイヤボ

11

みならず、種々の機能を有するようにしてもよい。またアレイ構造とした場合の素子数にも制限を受けるものではない。更に前記第4図に示すように半導体基板11に脚部19を残しておく、上記半導体基板11を安定に保持するようにしてもよい。この場合、エッチングする部分を制御することによつて容易に達成し得る。更にまた、基板11やオーミック接触を呈する金属としては用途・仕様に応じたものを用いればよい。要するに本発明は、その要旨を逸脱しない範囲で種々変形して実施することができる。

以上詳述したように本発明によれば簡単な電極構造で、均一で安定な特性を得ることができる等の種々格別の利点を有する半導体装置を提供することができる。

4. 図面の簡単な説明

第1図はワイヤボンディングによる従来の電極構造を示す図、第2図は蒸着配線による従来の電極構造を示す図、第3図は本発明装置の一実施例を示す概略断面図、第4図は同実施例の

13

ンディングする必要がない。

II) 配線の為にSiO₂等の絶縁層を蒸着する必要がない。

従つて半導体素子の損傷や、特性の劣化を招く虞れがなく、極めて有利である。また、ボンディングされたリード線の断線による事故も極めて少ない。

III) アレイ構造の各素子の電極配線を、同時にしかも簡単に行うことができる。

IV) P-N接合部分となるエピタキシャル層と半導体基板の近傍にサファイヤ等の絶縁基板が配設される。この為に、二次的に半導体素子の冷却効果が期待できる。即ち放熱性が良好である。

従つて、特性の良好な均一な半導体素子を容易に得ることができ、その歩留^{歩留}の向上をはかることもできる。特にアレイ構造の場合、その効果が期待できる。

なお本発明は上記実施例に限定されるものではない。例えば半導体素子としては光検出器の

12

外観斜視図、第5図は同実施例における半導体装置の製造工程を示す図、第6図及び第7図はそれぞれ本発明装置の他の実施例を示す概略断面図である。

11…半導体基板、12…金属電極(Au層)、13…接続端子(エピタキシャル層)、14…絶縁板(サファイヤ)、15…金属電極(Cu層)、17…In層。

出願人代理人 弁理士 鈴 江 武 彦

14

図 1

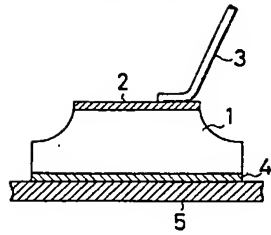


図 2

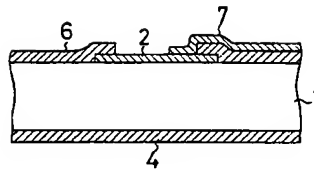


図 3

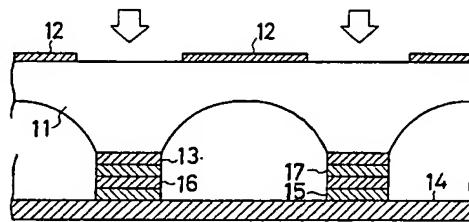
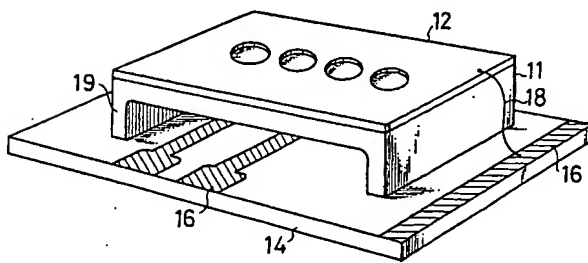
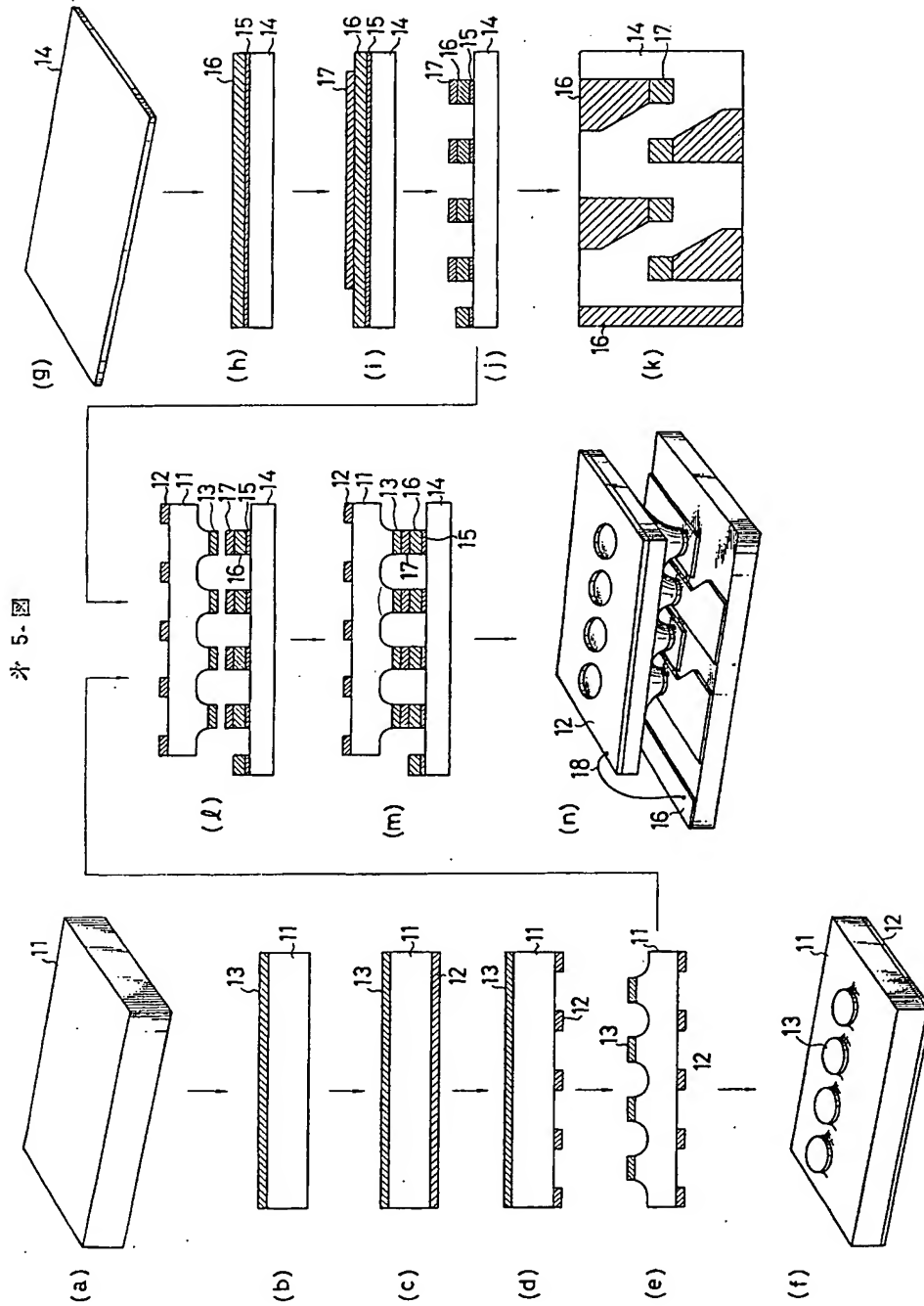
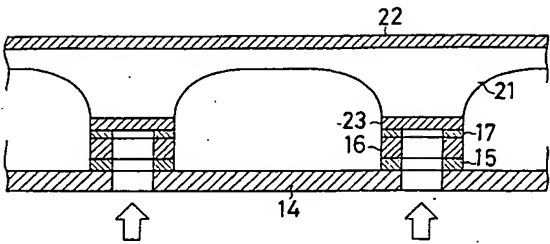


図 4





第 6 図



第 7 図

